

539,006

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年7月1日 (01.07.2004)

PCT

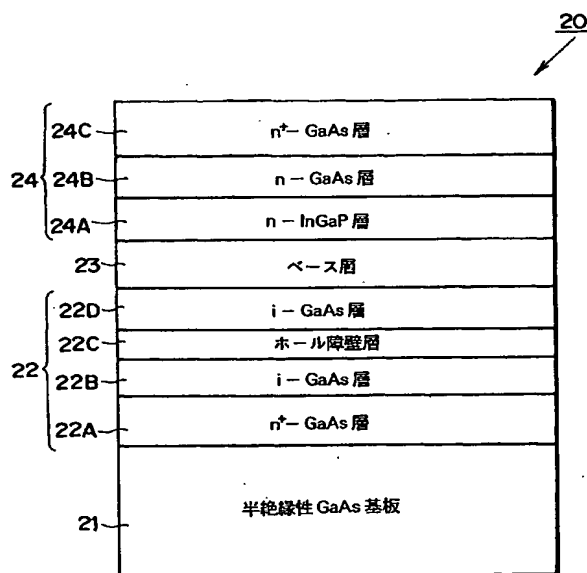
(10) 国際公開番号
WO 2004/055903 A1

- (51) 国際特許分類⁷: H01L 29/737
- (21) 国際出願番号: PCT/JP2003/016082
- (22) 国際出願日: 2003年12月16日 (16.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-364547
2002年12月17日 (17.12.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学工業株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒541-8550 大阪府 大阪市 中央区 北浜四丁目5番33号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 井上 聡 (INOUE, Akira) [JP/JP]; 〒270-1152 千葉県 我孫子市 寿 1-6-3 1 Chiba (JP). 秦 雅彦 (HATA, Masahiko) [JP/JP]; 〒300-0845 茨城県 土浦市 乙戸南 2-2 0-6 Ibaraki (JP). 栗田 靖之 (KURITA, Yasuyuki) [JP/JP]; 〒305-0045 茨城県 つくば市 梅園 2-1 3-1-1-2 0 2 Ibaraki (JP).
- (74) 代理人: 高野 昌俊 (TAKANO, Masatoshi); 〒105-0014 東京都 港区 芝 3 丁目 1 5 番 1 4 号 吉徳ビル 6 階 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AU, AZ, BA, BB, BR, BY, BZ, CA, CN, CO, CR, CU, DM, DZ, EC, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, RO, RU, SC, SD, SG, SL,

[続葉有]

(54) Title: SEMICONDUCTOR MATERIAL HAVING BIPOLAR TRANSISTOR STRUCTURE AND SEMICONDUCTOR DEVICE USING SAME

(54) 発明の名称: バイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子



24C...n⁺-GaAs LAYER
 24B...n-GaAs LAYER
 24A...n-InGaP LAYER
 23...BASE LAYER
 22D...i-GaAs LAYER
 22C...HOLE BLOCKING LAYER
 22B...i-GaAs LAYER
 22A...n⁺-GaAs LAYER
 21...SEMI-INSULATING GaAs SUBSTRATE

(57) Abstract: An epitaxial substrate (20) having a collector layer (22), a base layer (23) and an emitter layer (24) formed on a semi-insulating GaAs substrate (21) further comprises a hole blocking layer (22C) which is formed in the collector layer (22) for preventing flow-in of holes from the base layer (23). With this structure, a collector current flow is suppressed when the electron speed is saturated due to a rise in the collector current density, thereby preventing a thermal runaway of the collector current without using a ballast resistor or the like. The thermal runaway of the collector current can be also prevented by providing an additional layer (2C) in the collector layer (2) so that an electron barrier is formed in a conduction band with electrons accumulated due to a rise in the collector current density.

(57) 要約: 半絶縁性GaAs基板(21)の上にコレクタ層(22)、ベース層(23)、エミッタ層(24)が形成されているエピタキシャル基板(20)において、コレクタ層(22)内に、ベース層(23)よりのホールの流れ込みを防止するためのホール障壁層(22C)を設け、これにより、コレクタ電流密度が高まって電子の速度が飽和したときに、コレクタ電流の流れを抑え、バラスト抵抗等なしでコレクタ電流の熱暴走を抑制する。又は、コレクタ層(2)内にコレクタ電流密度が上昇したときの電子蓄積による電子の障壁をコンダクションバンドに生じさせるための付加層(2C)を設け、コレクタ電流の熱暴走を抑える。

WO 2004/055903 A1



TJ, TM, TN, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,
ZM, ZW.

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明細書

バイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子

技術分野

5 本発明は、動作電流による熱暴走を抑えることができるようにしたバイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子に関するものである。

背景技術

10 一般に、半導体素子においては、半導体素子内で発生する電力の損失の増大とこれにより熱的に励起されて発生する自由電子との相乗相互作用により、熱暴走が生じる傾向を有している。例えば、バイポーラトランジスタを電力増幅用に用いるなどしてこれに大きなコレクタ電流が流れると、このトランジスタの大きな動作電流のためにトランジスタが発熱する。この結果、電流が流れやすくなり更に電流が流れ、これにより更に発熱するという正帰還が働き、トランジスタに許容値以上の電流が流れて焼損するに至る所謂熱暴走を生じることになる。

15 実際のトランジスタ素子に於いては、素子の不均一性により、素子内の一部分にコレクタ電流の集中が生じ、その集中が生じた部分が素子抵抗により発熱することによって部分的に熱暴走が生じる。したがって、素子全体の電流量が熱暴走を生じさせないような低レベル以下であっても、素子の一部分へ電流が集中することによって素子内に局所的な電流密度増大部分が生じ、その部分に熱暴走が起こり、これによって素子全体が破壊される結果となる。これを避けるためには、
20 電流の集中が起こらないように電流が均一に流れる素子を作ればよい。しかし、このような素子を作るためには、プロセス工程、基板製造工程に対する要求が厳しくなり、コスト及び技術の両面から現実的ではない。

そこで、従来の熱暴走対策として、エミッタに抵抗体（バラスト抵抗）を直列
25 に接続して電流量を制限する方法、あるいは、トランジスタ用半導体薄膜を作製

する際にエミッタ層内に高抵抗の層（バラスト層）を挿入するという方法等が採用されている。

しかし、エミッタへの抵抗の付加による負帰還作用を利用して素子の安定動作を得るこれらの方法によると、直列接続した抵抗が高周波利得を低減させ、また、
5 低電流動作では単純に抵抗体として作用する等、デバイス特性を悪くさせるという問題点を有している。これらの問題に加えて、外付けのバラスト抵抗をつける前者の方法においては、素子サイズの増加、素子プロセス工程の増加によるスループット減少などの問題を生じることとなる。

本発明の目的は、従来技術における上述の問題点を解決することができる、バイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子を提供することにある。
10

本発明の他の目的は、熱暴走を抑制するための作用を与えたバイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子を提供することにある。

15 本発明の他の目的は、トランジスタが熱暴走を始める直前のコレクタ電流密度に至った時に、コレクタ層内に電子の障壁を生じせしめ、熱暴走を制御する機能を発揮するという特徴を有するバイポーラトランジスタ構造をもつ半導体材料及びこれを用いた半導体素子を提供することにある。

本発明の別の目的は、バイポーラトランジスタの熱暴走の問題を、バラスト抵抗、バラスト層などの採用なしでも抑制することができるようにしたバイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子を提供することにある。
20

発明の開示

上記課題を解決するため、本発明では、ベースプッシュアウト効果を有効に活用し、熱暴走の原因となる電子の動きを阻止できるようなバンド構造をバイポーラトランジスタのコレクタ層内に採用することにより、バラスト抵抗等の外付け素子を採用しなくても、バイポーラトランジスタの動作中の電流による発熱によ
25

る特性変化を抑制し、温度変化に対して安定な性能を持つバイポーラトランジスタを実現できるようにしたものである。

すなわち、本発明は高コレクタ電流密度による電子速度の飽和によりベースコレクタ界面近傍のコレクタ部分に溜まった電子が、コレクタのベース側界面の
5 コンダクションバンドを持ち上げて電子障壁を形成する一方、同時にバレンスバンドも持ち上がってホールがベースから流れ込み、流れ込んだホールによってバンドが引き下げられて最終的にはベースと同じ高さに落ち着くという現象、すなわち、ベースプッシュアウト効果を利用したものである。より具体的に説明すると、電子の蓄積によるバンドの持ち上がり位置を制御することにより、そして、
10 更にはバンドが持ち上がった後コレクタ電流が低下するまで、その持ち上がりを維持することにより、熱暴走の原因となるコレクタ電流を制限するようにしたものである。

本発明の特徴は、コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、コレクタ層内に、コレクタ電流密度が上昇したときの電子蓄積による電子の障壁をコンダクションバンドに生じさせるための付加層を設けた点にある。付加層は InGaAs 層又は 1×10^{18}
15 cm^{-2} 以下の p 型ドーパントがドーパされた層とすることができる。付加層とベース層との間にホールの拡散を防止するためのホール障壁層を設けてもよい。

本発明の他の特徴は、コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、コレクタ電流密度が上昇したときに前記コレクタ層内に蓄積された電子によるバンドの持ち上がりを引き下げる効果を持つホールの拡散を防止し、バンドの持ち上がりを維持するためにホール障壁層を設けた点にある。ホール障壁層とベース層との間に p 型ドーパントがドーパされている層を設ける構成とすることもできる。ここで、半導体材料を化合物半導体基板を用いて作りコレクタ層の材料を GaAs 若しくは InGaAs
20 とし、ホール障壁層の材料を InGaP 、 InGaAsP 、 InGaAs 、 $\text{p}^+ - \text{GaAs}$ 、 GaAs または $\text{p}^+ - \text{InGaAs}$ の内の何れかとすることができる。ホール障壁層の材料は、 In 組成 0.6 以上の InGaP である半導体材料

としてもよい。

上述した半導体材料を用いて各種の半導体素子を作製することにより、熱暴走の抑制効果のある半導体素子が得られる。

図面の簡単な説明

5 第1図は本発明の一実施例の層構造図である。

第2図は第1図のエピタキシャル基板のコレクタ層に形成される電子障壁を説明するための図である。

第3図は本発明の他の実施例の層構造図である。

第4図は本発明の別の実施例の層構造図である。

10 第5図は本発明の実施例の特性を示すグラフである。

第6図は本発明の他の実施例の特性を示すグラフである。

第7図は付加層にInGaAsを用いた場合の熱暴走抑制効果を説明するためのグラフである。

15 第8図は第1図に示した構成のエピタキシャル基板を用いて作製されたHBTの構成を示す図である。

発明を実施するための最良の形態

本発明をより詳細に説述するために、添付の図面に従ってこれを説明する。

20 第1図は、本発明による半導体材料の一実施例を示す層構造図である。第1図に示す半導体材料は、本実施例では、ヘテロ接合バイポーラトランジスタ(HBT)を作製するためのエピタキシャル基板10であり、半絶縁性GaAs基板1の上にはコレクタ層2、ベース層3、エミッタ層4がこの順で形成されている。

コレクタ層2は、半絶縁性GaAs基板1側から、キャリア濃度が通常 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の n^+ -GaAs層2A、 i -GaAs層2B、及びコレクタ層2における電子の蓄積に依るバンドの持ち上がりを促進するように電子蓄積を
25 生じさせるための付加層2Cが積層されて成っている。ベース層3は、キャリ

ア濃度が通常 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度の $p^+ - \text{GaAs}$ 層として形成されている。エミッタ層 4 は、ベース層 3 の上に、キャリア濃度が通常 $5 \times 10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度の $n - \text{InGaP}$ 層 4 A、キャリア濃度が通常 $5 \times 10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度の $n - \text{GaAs}$ 層 4 B、キャリア濃度が通常 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の $n^+ - \text{GaAs}$ 層 4 C がこの順序で順次形成されて成っている。

コレクタ層 2 内に設けられている付加層 2 C は、コレクタ電流が増大するなどして、コレクタ電流密度が高まって電子の速度が飽和したときに、コレクタ層 2 とベース層 3 との間の界面近くにおいて電子の蓄積を促進させるために設けられている。付加層 2 C を設けることにより、コレクタ層 2 とベース層 3 との間の界面近くにおいて電子を蓄積させることの作用について第 2 図を参照して説明する。

第 2 図は、横軸を層厚方向にとって示すエネルギーバンド図である。第 2 図は、電子の蓄積により、コレクタ層 2 内であってベース層 3 の近傍にコンダクションバンドの持ち上がり X が生じて電子の障壁が形成されている状態が示されている。付加層 2 C はコンダクションバンドのこの持ち上がり X の位置を制御するためのもので、付加層 2 C のコレクタ層 2 内での位置及びその膜厚を適宜に定めることにより所要の電子障壁をベース層 3 とコレクタ層 2 との間の界面近くのコレクタ層 2 内に形成することができる。

このようにして形成される電子の障壁は、コレクタ電流密度が大きくなって電子が該界面近くに溜まることにより生じるものであるから、バンドが持ち上がった後、コレクタ電流密度が小さくなれば持ち上がり X はこれにより解消される。

以上の説明から判るように、コレクタ層 2 内に付加層 2 C を設け、これによりコレクタ電流密度が高くなった場合に電子の障壁が形成され、コレクタ電流の流れにくくするので、熱暴走によりコレクタ電流が異常に高くなるのを有効に防止することができる。そして、コレクタ電流密度が低下すると、これにより電子の障壁は小さくなるので、コレクタ電流密度が所定レベル以下になれば、電子の障壁はなくなり、コレクタ電流を良好に流すことができる。すなわち、コレクタ電流が大きくなるなどして熱暴走が生じうるような状態になったときにのみ、コレクタ電流密度の上昇に応答してコレクタ電流の流れを抑え、半導体素子が熱暴走

に至るのを有効に阻止することができる構成となっている。

第1図に示した実施例では、付加層2Cとして、キャリア濃度が通常 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度のp-GaAs層を、ベース層3に接するようにして、約50nmの膜厚に形成した構成となっている。付加層2Cとしてp型の材料であるp-GaAsを用いると、コンダクションバンドの持ち上がりがすでに出来ているので、コレクタ電流密度が高レベルとなったときに所要の電子の障壁をいち早く立ち上げることができるという利点がある。

以上、本発明の一実施例について説明したが、本発明はこの一実施例に限定されるものではない。コレクタ層2内における電子の蓄積の促進のためには、コレクタ層2のベース層3側の領域にp型ドーパントをドーブしてp-GaAs層とするという上述の構成のほか、コレクタ層2内であって、コレクタ層2とベース層3との界面から10~100nm程度はなれた部分にInGaAs層を設ける構成とすることもできる。InGaAsのコンダクションバンドエネルギーはGaAsのそれよりも低いため、InGaAs層を用いる場合には、電子がより溜まり易くバンドの持ち上がりが生じやすくなるという利点がある。

第7図にInGaAs層を用いた場合における計算機シミュレーションの結果を示す。計算ではコレクタの膜厚を800nmとし、InGaAs層の厚さを15nmとした。第7図は上記条件の下において、InGaAs層をベースエミッタ界面から10nm~700nmまで変化させた場合の、増幅率(I_c/I_b)とコレクタ電流(I_c)との関係を示したものである。ここで、第7図中に示されている10本の特性線は、その右横に示されているInGaAs層のベースエミッタ界面からの距離に順次応じたもので、Originalと表記した標準品(一番上の特性線)と比べると、InGaAsの位置がベース-コレクタ界面から700nm離れている時(上から2番目の特性線)でも低い I_c で増幅率が低下し、熱暴走抑制の効果が得られていることがわかる。したがって、InGaAs層においてはコレクタ層のどの部分に付加層が有っても期待される効果が得られることが判る。界面からの距離によって効果の大きさが変わるために、暴走抑制効果の強弱の調整は、付加層の位置によっても行うことができる。

付加層の効果は付加層の厚さによって強弱が変わると予想される。然しながら、膜厚によって効果が得られなくなることはない。暴走抑制効果の強弱の調整は、付加層の膜厚によっても行うことができる。

第1図に示した実施例では、コレクタ層2内に付加層2Cを設けてコレクタ電流の密度が高くなった場合に電子の障壁を積極的に生じさせようとしたものである。これに代えて、コレクタ層2内にホールのバリアを構成することによっても、効果的にコレクタ電流の熱暴走による増大を抑えることができる。

第3図には、そのような構成を有する本発明の他の実施例が示されている。第3図に示した半導体材料もまた、ヘテロ接合バイポーラトランジスタ(HBT)を作製するためのエピタキシャル基板20であり、半絶縁性GaAs基板21の上にはコレクタ層22、ベース層23、エミッタ層24がこの順で形成されている。コレクタ層22は、半絶縁性GaAs基板21側から、キャリア濃度が通常 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の n^+ -GaAs層22A、 i -GaAs層22B、ホールの拡散に対するホール障壁層22C、及び i -GaAs層22Dが積層されて成っている。ベース層23は、キャリア濃度が通常 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度の p^+ -GaAs層として形成されている。エミッタ層24は、ベース層3の上に、キャリア濃度が通常 $5 \times 10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の n -InGaP層24A、キャリア濃度が通常 $5 \times 10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の n -GaAs層24B、キャリア濃度が通常 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の n^+ -GaAs層24Cがこの順序で順次形成されて成っている。

ホール障壁層22Cは、ベース層23よりのホールの流れ込みを防止するために設けられたもので、この実施例では、ベース層23とコレクタ層22との界面から通常 $0 \sim 1000 \text{ nm}$ 程度、好ましくは $0 \sim 100 \text{ nm}$ 程度離れたところに通常 $1 \sim 100 \text{ nm}$ 程度の膜厚のInGaP層として形成されており、これによりコレクタ層22内にホールのバリアとなるバリア層として形成されている。また、 i -GaAs層22Dは通常 $1 \sim 1000 \text{ nm}$ 程度、好ましくは $1 \sim 100 \text{ nm}$ 程度の厚さに形成されている。

ホール障壁層22Cの材料としては、コンダクションバンドのバリアが小さく、

バレンスバンドのバリアが大きい InGaP が好ましく、特に In 組成が 0.6 以上のものが最も好ましい。しかし、これ以外の材料として、 AlGaAs 、 $\text{p}^+ - \text{GaAs}$ 又はキャリア濃度が 10^{19} cm^{-3} 程度の $\text{p}^+ - \text{GaAs}$ 層を用いることもできる。ホール障壁層 22C を設ける位置は、ベース層 23 とコレクタ層 22 との界面から 100 nm 程度離れたところであってもよい。ホール障壁層 22C は前述の付加層と同じ理由によりコレクタ層内に於いてその位置を限定されるものではない。膜厚に於いては、例えば InGaP を用いる場合は、 GaAs との格子定数の違いによる InGaP の格子緩和、表面欠陥に影響を及ぼさない膜厚にする必要がある。この範囲に於いて膜厚はどのような値であっても本発明の目的とする効果が得られる。

また、この場合、コンダクションバンドの障壁を生む効果が期待されれば、ホール障壁層 22C の材料は上記材料以外でも構わない。

また、ホール障壁層 22C とベース層 23 とに挟まれたコレクタ部分に p 型ドーパントをドーピングする構造、すなわち前記付加層が導入された構造であっても良く、この場合は、より優れた効果が得られる。この場合の実施例を第 4 図に示す。

第 4 図に示されているヘテロ接合バイポーラトランジスタ (HBT) を作製するためのエピタキシャル基板 30 は、コレクタ層 31 を、 $\text{n}^+ - \text{GaAs}$ 層 31A、 $\text{i} - \text{GaAs}$ 層 31B、ホール障壁層 31C、ドーピング層 31D の積層構造にした点で第 3 図の実施例と異なっているが、その他の構成は第 3 図の実施例と同一である。このように、コレクタ層 31 内に設けられたホール障壁層 31C とベース層 23 との間の領域を p 型ドーパントでドーピングした構成によると、ドーピング層により、より早くバンドの持ち上がりが生じ、バリア層の外側のコレクタ部分の電子蓄積が促進される。持ち上がりが生じた後はバリア層によりホールの侵入が妨げられ、バンドの持ち上がりが維持されることになる。

このように、コレクタ層 22 内にホール障壁層 22C によるホールの障壁 (バリア層) があると、ホールの拡散流入によるバンドの持ち上がりが維持される。ホールの障壁をコレクタ層 22 内に導入する場合、障壁はコレクタ層 22 内のベース側に挿入するのが好ましい。バンドの持ち上がりが効果的に加わるので、よ

り効果が大きくなるからである。ホールの障壁はベースと離れている必要は無く、ベースに接していても構わない。したがって、例えばホール障壁層 2 2 C の材料として InGaP を用いた場合、ダブルヘテロ構造の HBT と類似の構造となる。本発明による上述の構成とダブルヘテロ構造との違いはコレクタの InGaP が、

5 必ずしもベースに接していないということである。

以上記述のいずれの方法によっても、本発明の目的であるコレクタ電流過剰になった時のコレクタ電流を抑制する効果が得られ、トランジスタの熱暴走を防止することが出来る。以上の説明に於いてはベース、コレクタが GaAs からなる GaAs 基板上の HBT に於いて説明を行なった。しかし、ホールのバリアの効果、電子の蓄積の効果が得られるのであれば特にこれらの材料に限定されるもの

10 ではない。なお、薄膜の作製は MOCVD 装置で行ってもよいが、 MBE 等の手法によることもできる。

(実施例 1)

第 1 図に示す層構造の HBT を下記のようにして製作した。

15 MOCVD 薄膜作成装置に半絶縁性 GaAs 基板 1 を導入し、 AsH_3 ガス及び金属有機化合物を原料として基板 1 の上に $n^+ - \text{GaAs}$ 層 2 A (キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$)、 $i - \text{GaAs}$ 層 2 B を形成し、 n 型のドーパントとして Si をジシランガスの形で導入し n 型の GaAs を形成した。次に $i - \text{GaAs}$ 層 2 B 層の成長と同じ温度、成長速度にて、 p 型ドーパントとなる C 原料を、ハ

20 ロゲン化炭素の形で導入し、付加層 2 C を形成した。次に該コレクタ層 2 の上に、ベース層 3 を形成した。ベース層 3 は $p^+ - \text{GaAs}$ 層 (キャリア濃度約 $4 \times 10^{19} \text{ cm}^{-3}$)、からなる。 p 型ドーパントとなる C 原料を、ハロゲン化炭素の形で導入した。該ベース層 3 上に、 $n - \text{InGaP}$ 層 4 A (キャリア濃度約 $1 \times 10^{17} \text{ m}^{-3}$)、 $n - \text{GaAs}$ 層 4 B (キャリア濃度約 $1 \times 10^{17} \text{ m}^{-3}$)、 $n^+ -$

25 GaAs 層 4 C (キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$) からなるエミッタ層 4 を形成した。 n 型のドーパントはコレクタ層 2 の形成の場合と同じ Si を用いた。

InGaP に関しては、 P の原料として AsH_3 の代わりに PH_3 をガスとして供給した。

以上のようにして第1図に示した層構造を有するHBT作製用のエピタキシャル基板を用いてHBTを作製した。第8図は、そのHBTの構造図である。第8図に示したHBTの作製は、レジストをマスクとして用いエピタキシャル基板にエッチングを行うことによって、サブコレクタとして働く $n^+ - \text{GaAs}$ 層2A及びベース層3をそれぞれ一部だけ露出させ、露出した $n^+ - \text{GaAs}$ 層2A及びベース層3にそれぞれの層とオーミックコンタクトを取るコレクタ電極20、ベース電極30を蒸着し、サブエミッタとして働く $n^+ - \text{GaAs}$ 層4Cにエミッタ電極40を蒸着し、バイポーラトランジスタを形成した。トランジスタ特性の測定はプローバを用いた。

- 10 第5図には、上述した実施例についての、コレクタ電流の温度依存性を示すグラフが示されている。ここで「STANDARD」と表記した特性線は従来のInGaP-HBT（比較例）についてのものである。第5図に示す特性はエミッターベース電圧1.5Vの時のコレクタ電流の温度変化を示したもので、「STANDARD」と表記した特性線以外の特性線の各場合には、75℃から100℃の高温に於けるコレクタ電流の減少が見られ、熱暴走の抑制効果が確認された。また、従来のInGaP-HBTでは高温に於けるコレクタ電流の減少率は
- 15 いずれの実施例の場合よりも少なく、熱暴走の危険を有することが示されている。
- (実施例2)

第4図に示す層構造のHBTを下記のようにして製作した。

- 20 MOCVD薄膜作成装置に半絶縁性GaAs基板21を導入し、 AsH_3 ガス及び金属有機化合物を原料として半絶縁性GaAs基板21の上に $n^+ - \text{GaAs}$ 層31A（キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$ ）、 $i - \text{GaAs}$ 層31Bを形成する。 n 型のドーパントとしてSiをジシランガスの形で導入し n 型のGaAsを形成した。次に $i - \text{GaAs}$ 層31B層の成長と同じ温度にて、ホール障壁層31CとなるIn組成0.63のInGaPを約5nm成長した。次にドーパ層31Dとして p 型ドーパントとなるC原料を、ハロゲン化炭素の形で導入してGaAs層を約50nm成長した。次に該ドーパ層31Dの上に、ベース層23を形成する。ベース層23は $p^+ - \text{GaAs}$ 層（キャリア濃度約 $4 \times 10^{19} \text{ cm}^{-3}$ ）
- 25

からなる。p型ドーパントとなるC原料を、ハロゲン化炭素の形で導入した。該ベース層23上に、n-InGaP層24A（キャリア濃度約 $1 \times 10^{17} \text{m}^{-3}$ ）、n-GaAs層24B（キャリア濃度約 $1 \times 10^{17} \text{m}^{-3}$ ）、 n^+ -GaAs層24C（キャリア濃度約 $1 \times 10^{18} \text{cm}^{-3}$ ）からなるエミッタ層24を形成する。

5 n型のドーパントはコレクタ層2の場合と同じSiを用いた。InGaPに関しては、Pの原料としてAsH₃の代わりにPH₃をガスとして供給した。

以上のようにして、第4図に示した層構造を有するHBT作製用のエピタキシャル基板を用いてHBTを作製した。このHBTの作製は、第8図を参照して実施例1の場合に説明したのと同様の手順で行った。この作製手順及びその電極の

10 取付構造は、第8図のHBTの場合と基本的に同一であるから、ここでは、その詳細説明を省略する。

第6図は、実施例2において、コレクターエミッタ間電圧VCEとコレクタ電流ICとの間の関係をベース電圧VBをパラメータとして23℃において測定した結果である。第6図に示される測定結果からVB=1.2Vまで暴走を起こさない通常のトランジスタ動作をしていることがわかる。VB=1.3Vになると熱暴走が始まりコレクタ電流の正帰還が掛かりだしているためにコレクタ電流が徐々に増加していくようになる。ここでの特徴的な動作はVB=1.4V以上で見られる。VB=1.4VではVCE=4Vにて急激なコレクタ電流の増加、つまり熱暴走が見られる。しかし直ぐにコレクタ電流が抑制され、熱暴走が抑止さ

15 れている。VB=1.5V以上では熱暴走はVCE=1V以下に於いて既に始まっており、VCE=2~3Vにかけて緩やかに熱暴走に対して抑制が掛かっていることが確認された。

本発明によれば、熱暴走の原因となる電子の動きを阻止できるようなバンド構造をバイポーラトランジスタのコレクタ層内に採用することにより、バラスト抵抗等の外付け素子を採用することなく、バイポーラトランジスタの動作中の電流

25 による発熱による特性変化を抑制し、温度変化に対して安定な性能を持つバイポーラトランジスタを実現できるようにしたので、高周波利得を低減させたり、デバイス特性を悪くさせるという問題を生じさせることがなく、また、素子サイズ

の増加、素子プロセス工程の増加によるスループット減少などの問題も生じることがない。

(実施例 3)

第 3 図に示す層構造の H B T を下記のように製作した。

- 5 M O C V D 薄膜作製装置に半絶縁性 G a A s 基板 2 1 を導入し、A s H₃ ガス及び金属有機化合物を原料として半絶縁性 G a A s 基板 2 1 の上に n⁺ - G a A s 層 2 2 A (キャリア濃度約 $1 \times 10^{15} \text{ cm}^{-3}$)、及び i - G a A s 層 2 2 B を形成した。n 型のドーパントとして S i をジシランガスの形で導入し n 型の G a A s を形成した。次に i - G a A s 層 2 2 B の成長と同じ温度にてホール障壁層 2 2 C となる p - G a A s 層を約 1 0 0 Å 成長した。p - G a A s 層は p 型ドーパントとなる C 原料を、ハロゲン化水素の形で導入した。本実施例では障壁層の C 濃度は、約 $2 \times 10^{19} \text{ cm}^{-3}$ とした。障壁層の上には i - G a A s 層 2 2 B と同じ条件にて i - G a A s 層 2 2 D を約 5 0 0 Å 形成した。次に該 i - G a A s 層 2 2 D 層の上にベース層 2 3 を形成した。ベース層 2 3 は p⁺ - G a A s 層からなる。p 型ドーパントとなる C 原料は該ホール障壁層 2 2 C と同様にハロゲン化水素の形で導入した。但しキャリア濃度は約 $4 \times 10^{19} \text{ cm}^{-3}$ とした。該ベース層 2 3 上に、n - I n G a P 層 2 4 A (キャリア濃度 $1 \times 10^{17} \text{ cm}^{-3}$)、n - G a A s 層 2 4 B ()、n⁺ - G a A s 層 2 4 C () からなるエミッタ層 2 4 を形成した。n 型のドーパントはコレクタ層 2 2 の場合と同様に S i を用いた。
- 10 I n G a P に関しては P の原料として A s H₃ の代わりに P H₃ を用いた。

- 20 以上のようにして第 3 図に示した層構造を有する H B T 作製用のエピタキシャル基板を作製し、これを用いて H B T を作製した。この H B T の作製は第 8 図を参照して実施例 1 の場合に説明したのと同様の手順で行った。このようにして作製された H B T のベースバイアス 1. 6 V のときのコレクタ電流の温度変化が第 5 図に示されている。初めは、温度とともにコレクタ電流が上昇するものの実施例 1 と同様に 7 0 °C を超えるあたりからコレクタ電流は減少する。この効果によって熱暴走を効果的に抑制することができる。

産業上の利用可能性

以上のように、本発明によるバイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子は、熱暴走を抑制する構造を有しているので、素子サイズの増加やスループット減少などの問題を生じさせずに各種電子デバイスを製造するのに役立つ。

請求の範囲

1. コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、コレクタ電流密度が上昇したときに前記コレクタ層内に蓄積された電子によるバンドの持ち上がりを引き下げる効果を持つホール
5 の拡散を防止し、バンドの持ち上がりを維持するためにホール障壁層を設けたことを特徴とする半導体材料。

2. 前記付加層が InGaAs 層である請求の範囲第 1 項記載の半導体材料。

3. 前記付加層が、 $1 \times 10^{18} \text{ cm}^{-2}$ 以下の p 型ドーパントがドーピングされた層である請求の範囲第 1 項記載の半導体材料。

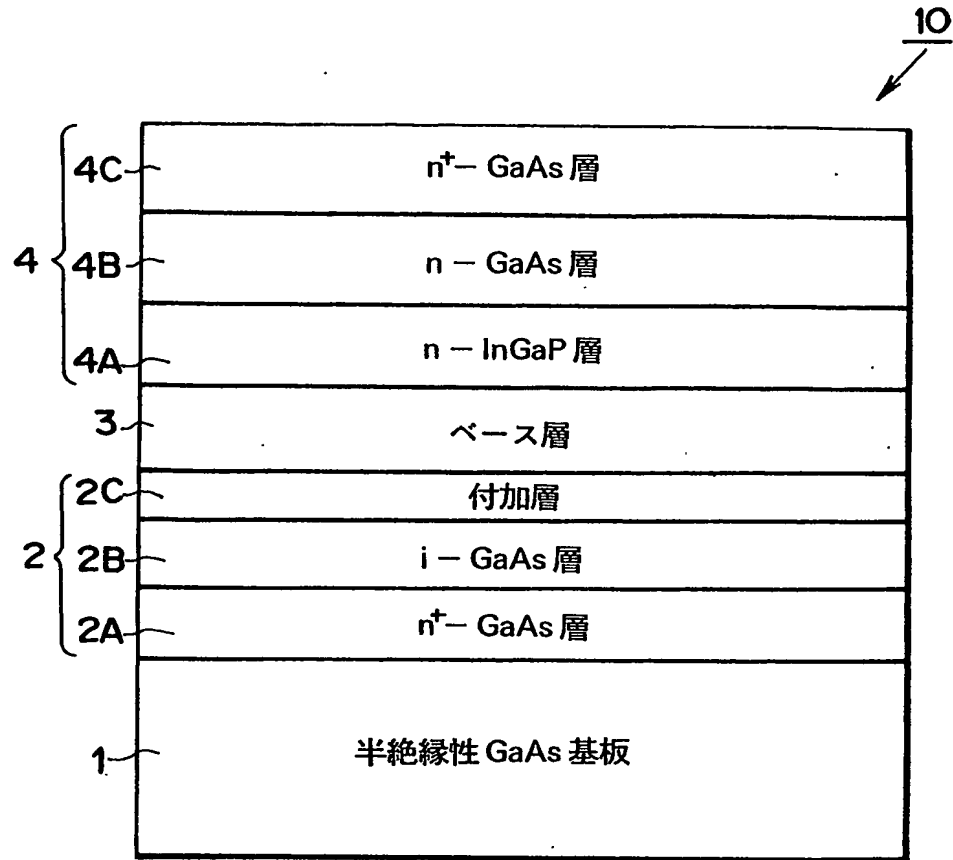
10 4. コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、前記コレクタ層内に、コレクタ電流密度が上昇したときに前記コレクタ層内に蓄積された電子によるバンドの持ち上がりを維持するために、ホールの拡散を防止するホール障壁層を設けたことを特徴とする半導体材料。

15 5. 前記ホール障壁層と前記ベース層との間に p 型ドーパントがドーピングされている層を有する請求の範囲第 4 項記載の半導体材料。

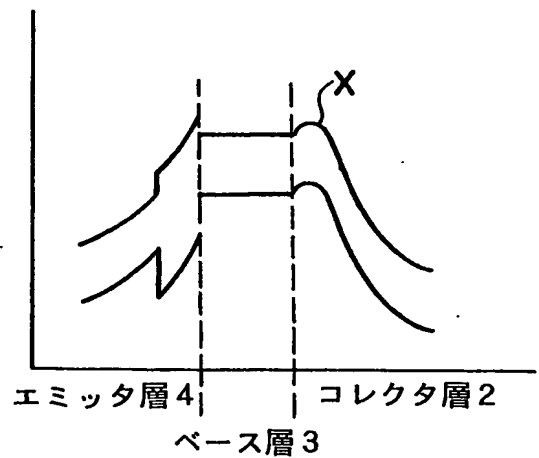
6. 前記半導体材料が化合物半導体基板を用いて作られており、前記コレクタ層の材料が GaAs 若しくは InGaAs からなり、前記ホール障壁層の材料が InGaP 、 InGaAsP 、 InGaAs 、 $\text{p}^+ - \text{GaAs}$ 、 GaAs または
20 $\text{p}^+ - \text{InGaAs}$ の内の何れかである請求の範囲第 4 項または第 5 項記載の半導体材料。

7. 前記ホール障壁層の材料が、In組成0.6以上のInGaPである請求の範囲第4項記載の半導体材料。
 8. 前記付加層と前記ベース層との間にホールの拡散を防止するためのホール障壁層が設けられている請求の範囲第1項記載の半導体材料。
- 5 9. 請求の範囲第1項から第8項のいずれか1つに記載の半導体材料を用いて作製した半導体素子。

第 1 図

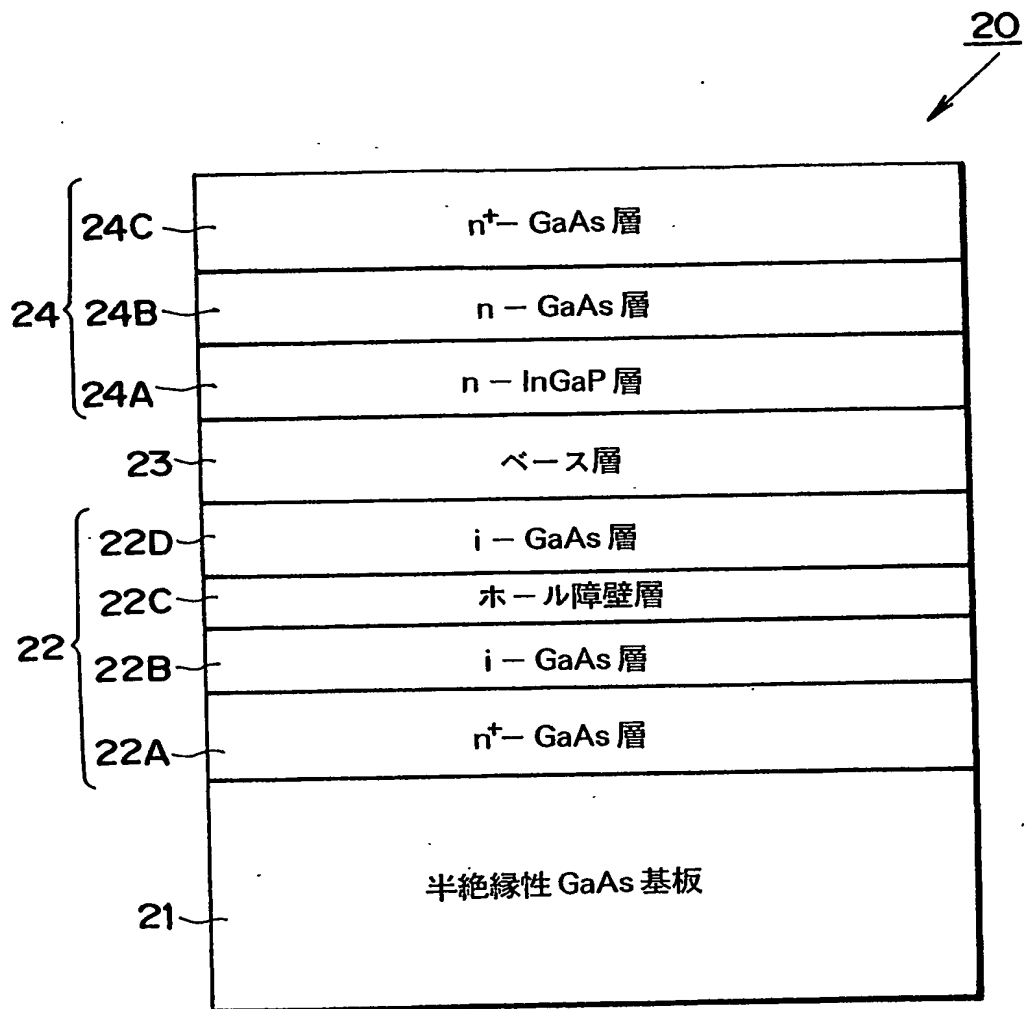


第 2 図



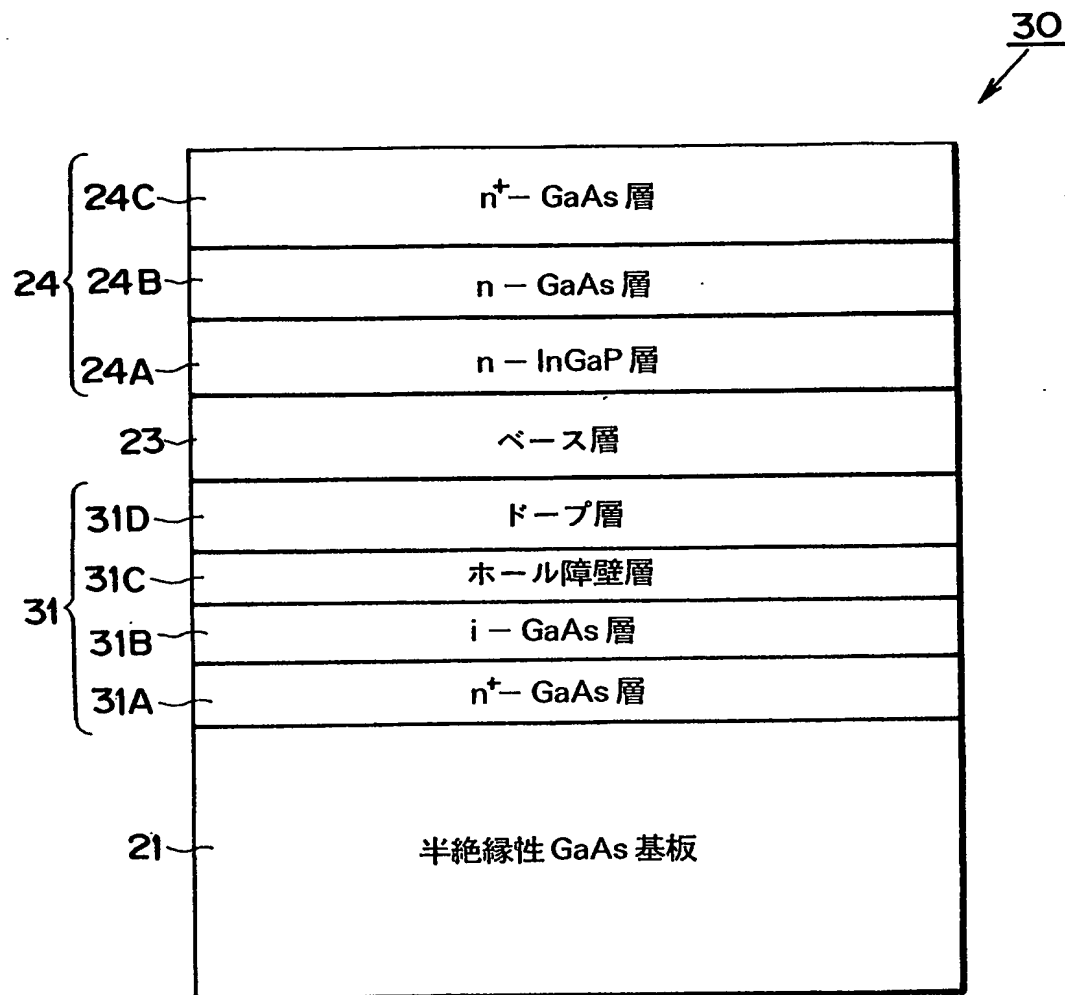
2/7

第 3 図

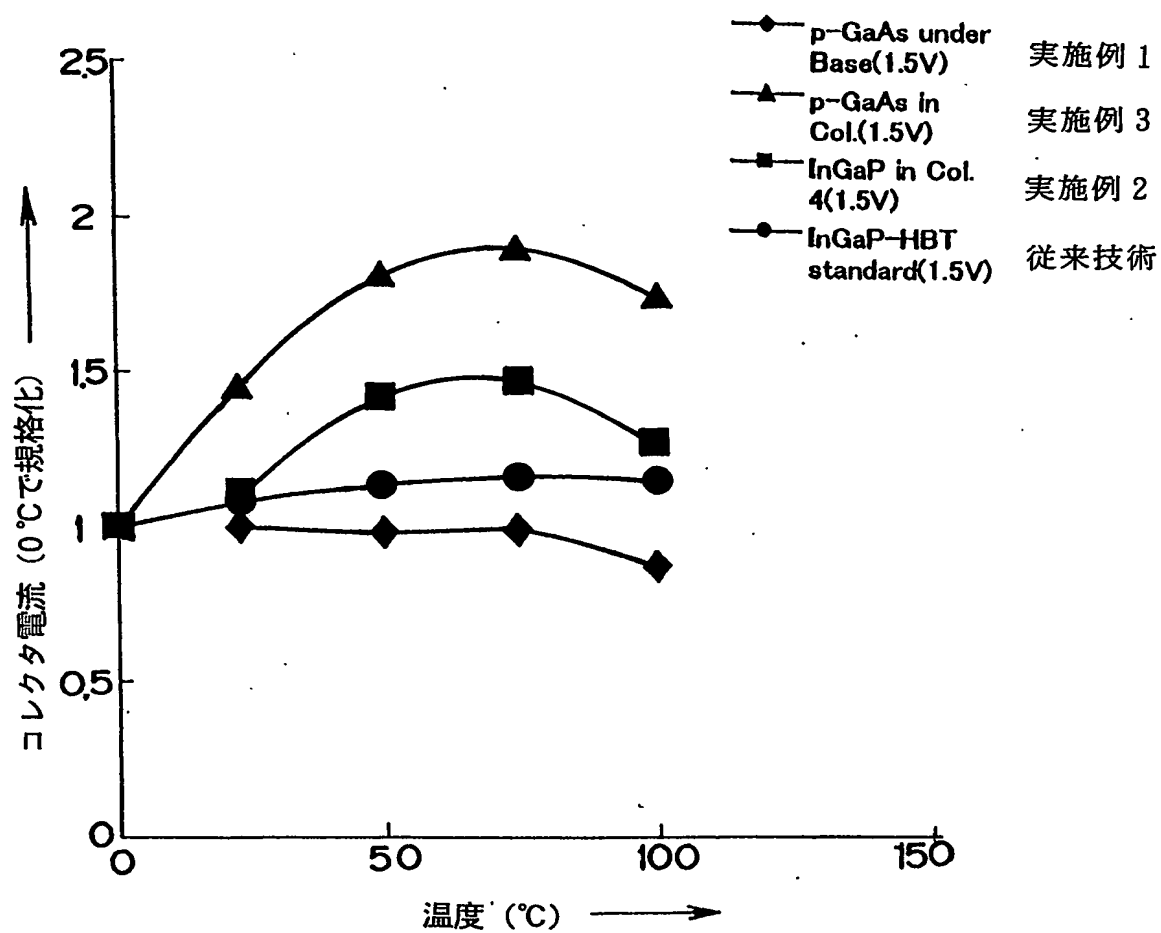


3/7

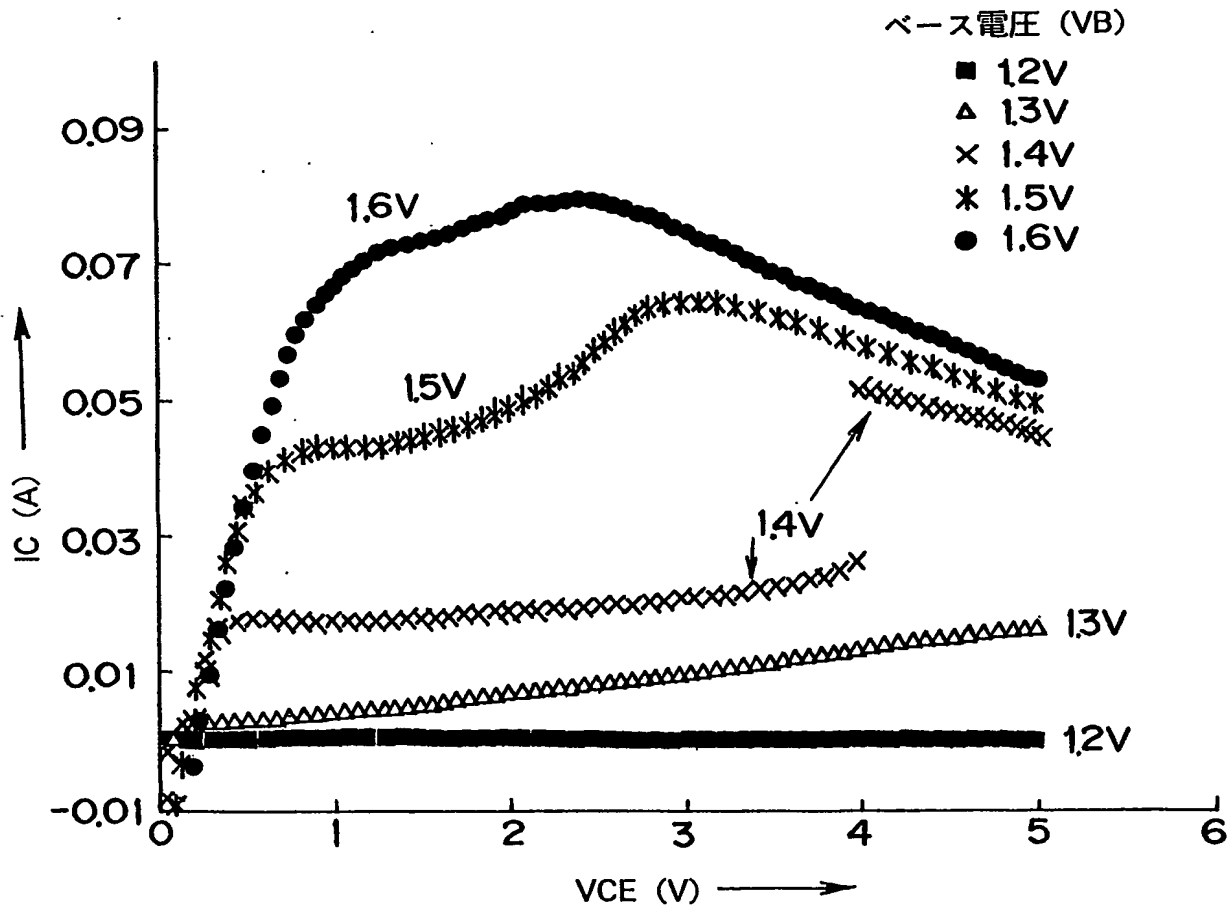
第 4 図



第 5 図

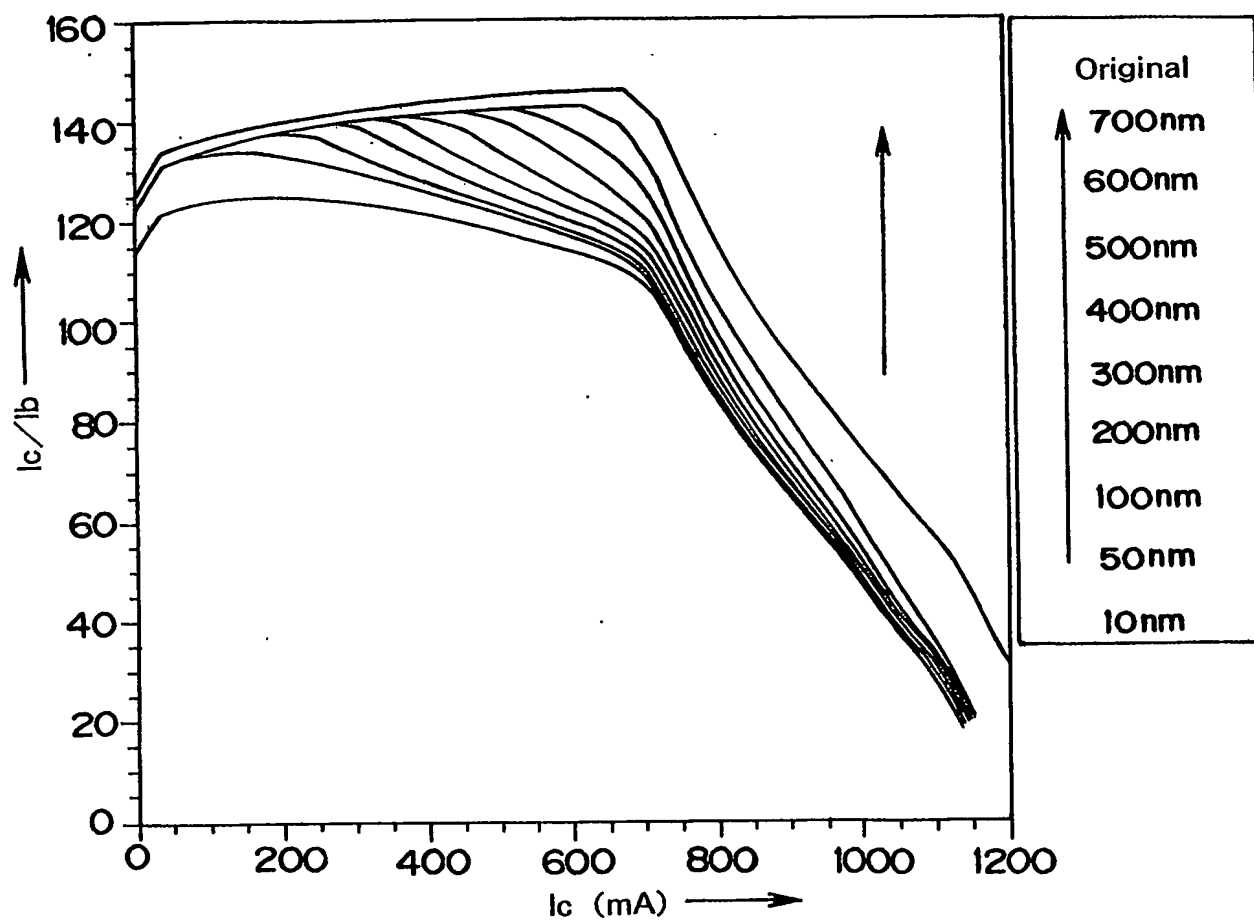


第 6 図

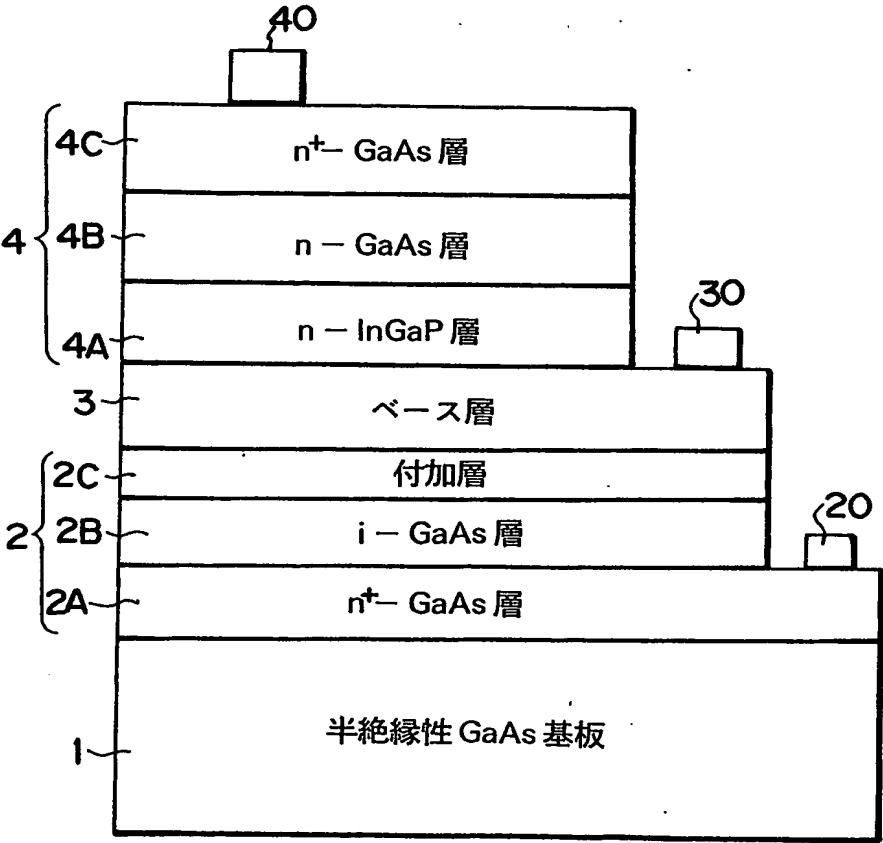


6/7

第 7 図



第 8 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16082

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/737

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/73-29/737

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No:
X Y	JP 07-094593 A (Toshiba Corp.), 07 April, 1995 (07.04.95), Par. Nos. [0010] to [0011], [0022] (Family: none)	1, 3-6, 8-9 2, 7
X Y	JP 03-038835 A (NEC Corp.), 19 February, 1991 (19.02.91), Page 3, lower right column, line 4 to page 4, upper right column, line 1 (Family: none)	1-2, 4, 6, 9 3, 5, 7-8
X A	JP 04-245439 A (Fujitsu Ltd.), 02 September, 1992 (02.09.92), Par. Nos. [0011] to [0017]; Figs. 1 to 3 (Family: none)	1-6, 8-9 7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
16 March, 2004 (16.03.04)

Date of mailing of the international search report
30 March, 2004 (30.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16082

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 07-326629 A (Nippon Telegraph And Telephone Corp.), 12 December, 1995 (12.12.95), Par. Nos. [0016] to [0024] (Family: none)	1, 4, 9 2-3, 5-8
X A	US 5171697 A (TEXAS INSTRUMENTS INC.), 15 December, 1992 (15.12.92), Column 3, line 29 to column 7, line 37 & JP 05-190562 A Par. Nos. [0010] to [0037]	1, 4, 9 2-3, 5-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/737

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/73-29/737

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 07-094593 A (株式会社東芝) 1995. 04. 07	1, 3-6, 8-9
Y	段落番号【0010】-【0011】、【0022】 (ファミリーなし)	2, 7
X	J P 03-038835 A (日本電気株式会社) 1991. 02. 19	1-2, 4, 6, 9
Y	第3頁右下欄第4行-第4頁右上欄第1行 (ファミリーなし)	3, 5, 7-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16. 03. 2004

国際調査報告の発送日

30. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

9361

電話番号 03-3581-1101. 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 04-245439 A (富士通株式会社) 1992.09.02	1-6, 8-9
A	段落番号【0011】-【0017】, 図1-3 (ファミリーなし)	7
X	JP 07-326629 A (日本電信電話株式会社) 1995.12.12	1, 4, 9
A	段落番号【0016】-【0024】 (ファミリーなし)	2-3, 5-8
X	US 5171697 A (TEXAS INSTRUMENTS INCORPORATED) 1992.12.15	1, 4, 9
A	第3欄第29行-第7欄37行 & JP 05-190562 A 段落番号【0010】-【0037】	2-3, 5-8